

---

## CONTENU

- introduction
- les fonctions de base
- les contraintes temporelles
- la conception du matériel
- les problèmes liés à l'interconnexion
- la conception du matériel (de nouveau)
- l'implantation
- les tests

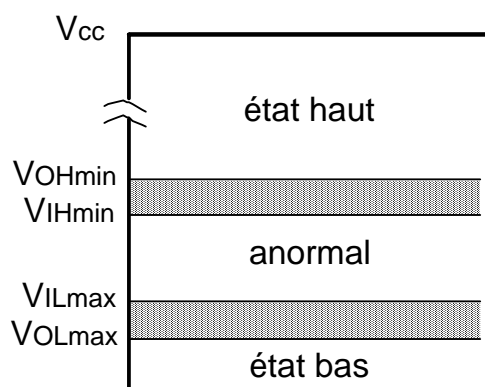
---

## LES PROBLEMES LIES A L'INTERCONNEXION

- bruits
- marges de bruit / compatibilité entre familles
- influence de la charge / sortance
- réflexions
- diaphonie
- découplage
- métastabilité
- distribution d'alimentation
- distribution d'horloge
- remise à zéro / mise sous tension
- précautions diverses

## LES BRUITS

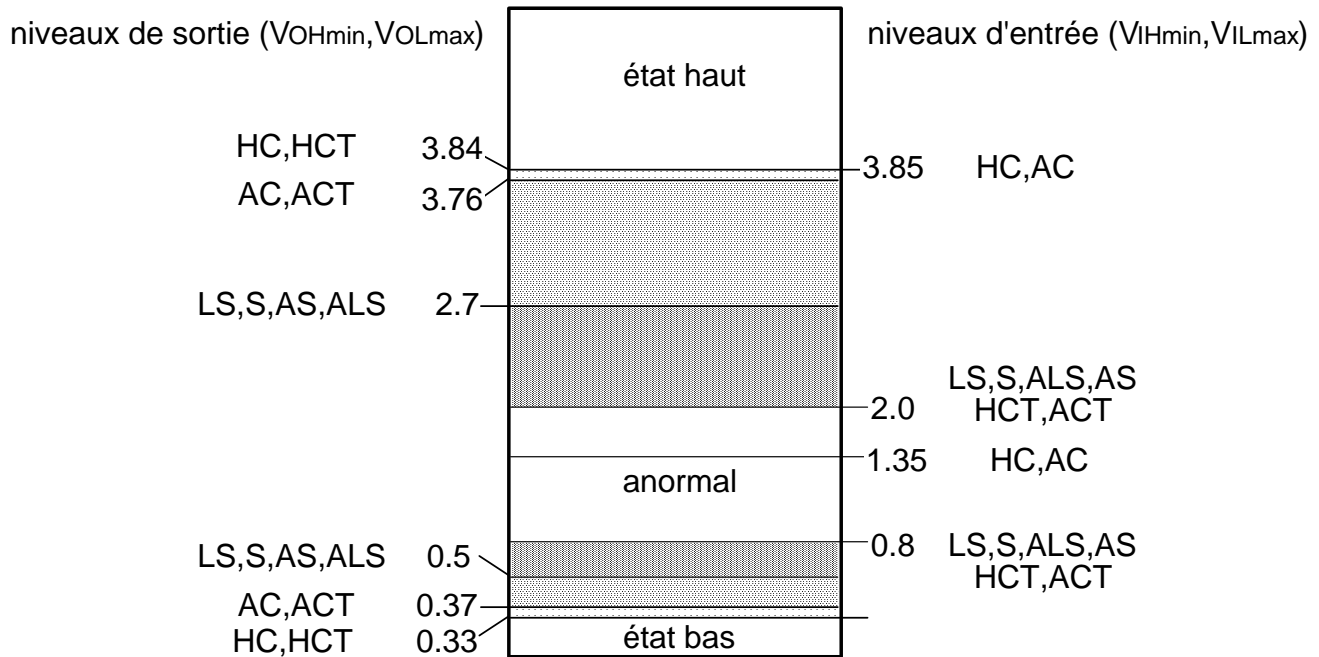
- 2 classes
  - ▼ bruits statiques
  - ▼ bruits dynamiques
- 2 classes d'immunité
  - ▼ statique (bruits de durée grande par rapport au temps de traversée)
  - ▼ dynamique (bruits de durée inférieure au temps de traversée)



## LES BRUITS (2)

- origine
  - ▼ lignes d'interconnexion (réflexions, diaphonie)
  - ▼ alimentation
  - ▼ externe (secteur, hertzien)
  - ▼ courant dans les alimentations non équipotentielles
  - ▼ incompatibilités entre familles
- précautions
  - ▼ diminution de la surface entre le fil aller et celui de retour
  - ▼ réduction de la sensibilité des circuits
  - ▼ suppression de la source

## MARGE DE BRUIT STATIQUE / COMPATIBILITE



## COMPATIBILITE (2)

- sortance  
= nombre d'entrée que l'on peut connecter à une sortie

- sortance statique = rapport ( $I_{OH} / I_{IH}$ )

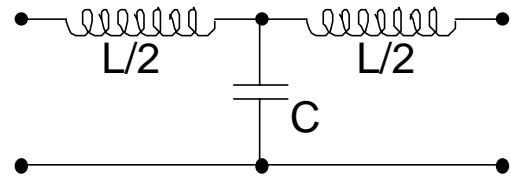
la marge de bruit diminue  
avec le nombre de charges

- sortance dynamique = rapport ( $C_L / \sum C_i$ )

le temps de propagation  
augmente avec le nombre de  
charges

## REFLEXIONS

- ❑ les lignes de connexion se comportent comme des lignes de transmission si les signaux de sortie commutent rapidement (temps de montée < 2 temps de transmission)
- ❑ modèle d'une ligne



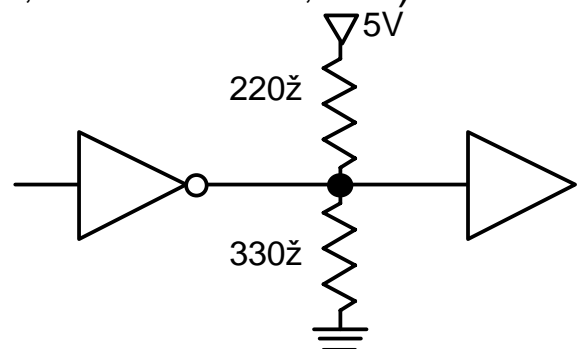
MILIEU DE TRANSMISSION	CARACTERISTIQUES			
	L (nH/cm)	c (pF/cm)	Z (Ohm)	T (ns/m)
fil isolé (loin de la masse)	20	0.06	600	4
paire torsadée	5-10	0.5-1	80-120	5
câble plat	5-10	0.5-1	80-120	5
piste de circuit imprimé	5-10	0.5-1	80-120	5
câble coaxial	2.5	1.0	50	5
bus de fond de panier	5-10	1.0-3.0	20-40	10-20

## REFLEXIONS (2)

- ❑ sur une ligne non terminée par son impédance caractéristique apparaissent des réflexions

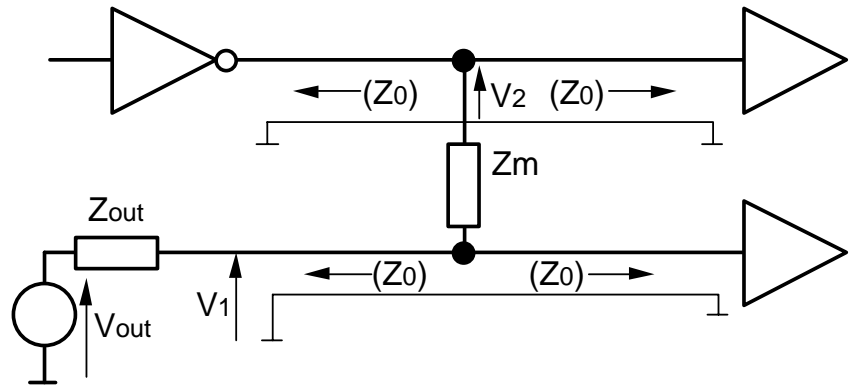
$$V_t = V_f + V_r = (1 + r) V_f = 2 Z_t V_f / (Z_t + Z_0)$$

- ❑  $Z_t$  en général pas linéaire => analyse graphique ("The Bergeron Method", in Bus Interface circuits, Texas Instrument, 1990)
- ❑ adaptation de la charge →
- ❑ adaptation de la source ↓



## DIAPHONIE

- dû au couplage inductif et capacitif entre lignes
- analyse approximative



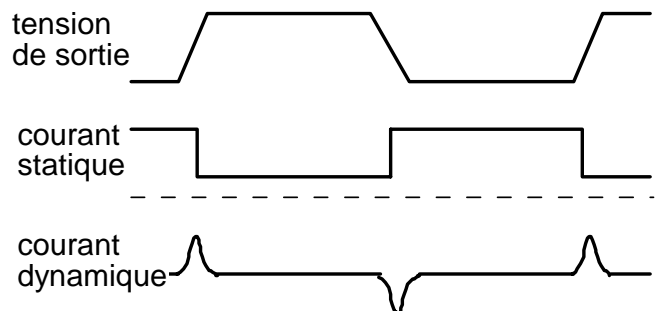
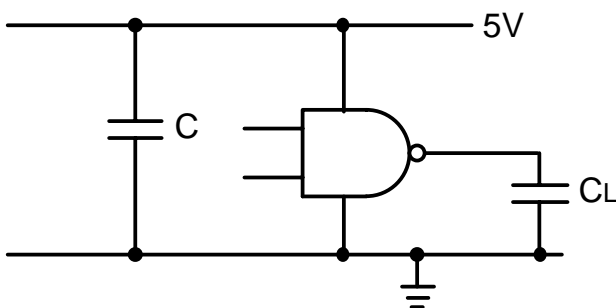
$$V_1 = Z_0 V_{out} / (Z_{out} + Z_0) \quad V_2 = Z_0 V_1 / (4 Z_m + 4 Z_0)$$

- tension d'entrée max.  $V_{in} = Z_0 V_1 / (2 Z_m + 2 Z_0)$

ex:  $Z_m=50\text{pF}$  à  $200\text{MHz}$ ,  $Z_0 = 200\Omega$   $\rightarrow V_{in}/V_{out}=0.62$

## DECOUPLAGE

- une porte "tire" un courant important lors de la commutation



courant transitoire:  $I_L = C_L \Delta V_{out} / \Delta t$

capacité de découplage:  $C = I_L \Delta t / \Delta V_{alim}$

$C_L=50\text{pF}$ ,  $\Delta V_{out} = 3\text{V}$ ,  $\Delta V_{alim} = 0.25\text{V}$ ,  $\Delta t=4\text{ns}$

$\Rightarrow I_L \approx 9\text{mA}$  et  $C \approx 0.15\text{nF}$  pour chaque sortie

## DECOUPLAGE (2)

- les lignes d'alimentation et les capacités de découplage présentent des inductances parasites qui limitent la vitesse de variation du courant d'alimentation

inductance maximale:  $V = L \Delta I_{\text{alim}} / \Delta t$

exemple:  $V=0.25 \text{ V}$ ,  $\Delta I_{\text{alim}} / \Delta t = 20 \text{ mA/ns} \Rightarrow L_{\text{max}} = 12.5 \text{ nH}$

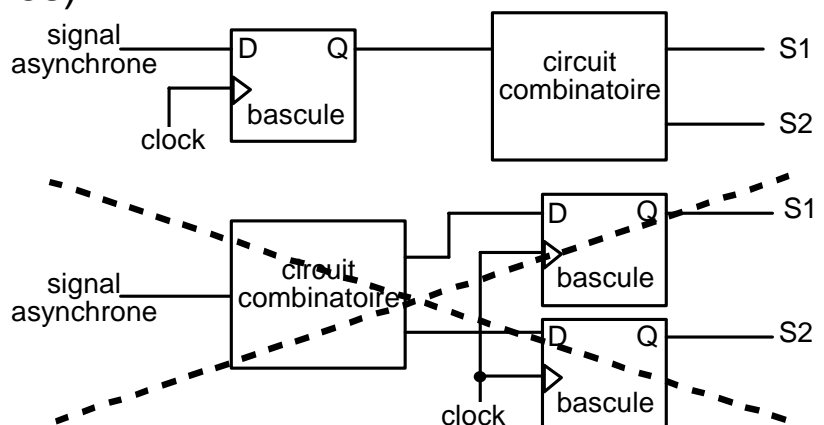
inductance propre du condensateur  $\approx 4 \text{ nH}$

inductance des lignes = 5 à 10 nH

il faut faire très attention aux condensateurs de découplage

## METASTABILITE

- se produit lorsque des signaux d'entrée changent dans la zone interdite [ $\uparrow_{\text{clk}} - t_{\text{setup}}$ ,  $\uparrow_{\text{clk}} + t_{\text{hold}}$ ]
- impossible à éviter pour les signaux venant de l'extérieur (signaux asynchrones)
- à l'entrée, on met un synchroniseur unique pour chaque signal asynchrone



## METASTABILITE (2)

- le temps de résolution est en théorie non borné (en fait décroissance exponentielle)

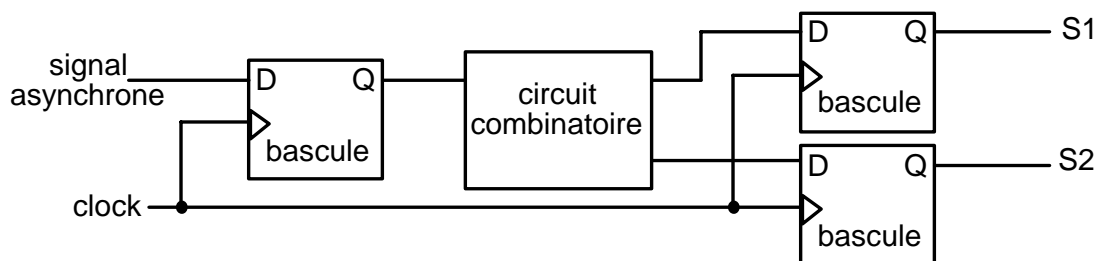
il y a erreur de synchronisation (synchronizer failure)  
si la sortie est utilisée alors qu'elle est encore dans  
un état métastable

- comment éviter ces erreurs ?
  - ▼ éviter la zone interdite [ $\uparrow_{\text{clk}} - t_{\text{setup}}$ ,  $\uparrow_{\text{clk}} + t_{\text{hold}}$ ]
  - ▼ attendre suffisamment longtemps

il n'existe pas d'autres  
manières

## METASTABILITE (3)

- temps de résolution disponible  $t_r = t_{\text{clk}} - t_{\text{comb}} - t_{\text{setup}}$



- probabilité d'erreur:  $MTBF(t_r) = t_{\text{clk}} \exp(t_r/\tau) / (T_0 a)$   
( $a$  = fréq. de changement d'état du signal async. ;  $\tau$  et  $T_0$  constantes)

ex. 74LS74 ( $\tau=1.5\text{ns}$ ,  $T_0=0.4\text{s}$ ,  $t_{\text{setup}}=20\text{ns}$ ),  $a=100\text{KHz}$

$t=0.1\mu\text{s} \Rightarrow MTBF(80)=3.6 \cdot 10^{11}\text{s}$ ,

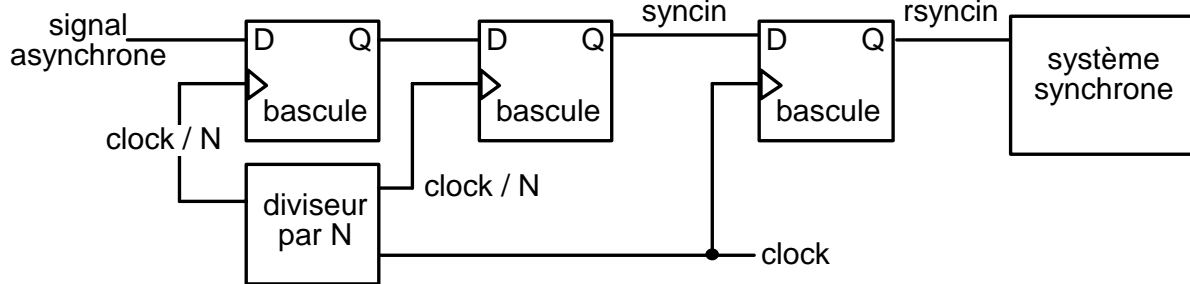
$t=62.5\text{ns} \Rightarrow MTBF(42.5)=3.1\text{s} \text{ !!!!}$

## METASTABILITE (4)

### □ autres moyens de protection

#### ▼ augmenter tclk

##### ● synchronisation sur plusieurs cycles



##### ● synchronisation en cascade

#### ▼ circuits spéciaux: AS4374 ( $\tau=0.42\text{ns}$ , $T_0=0.4\text{s}$ , $t_{\text{setup}}=0.5\text{ns}$ ) soit environ $7 \cdot 10^7$ fois meilleurs

## METASTABILITE (5)

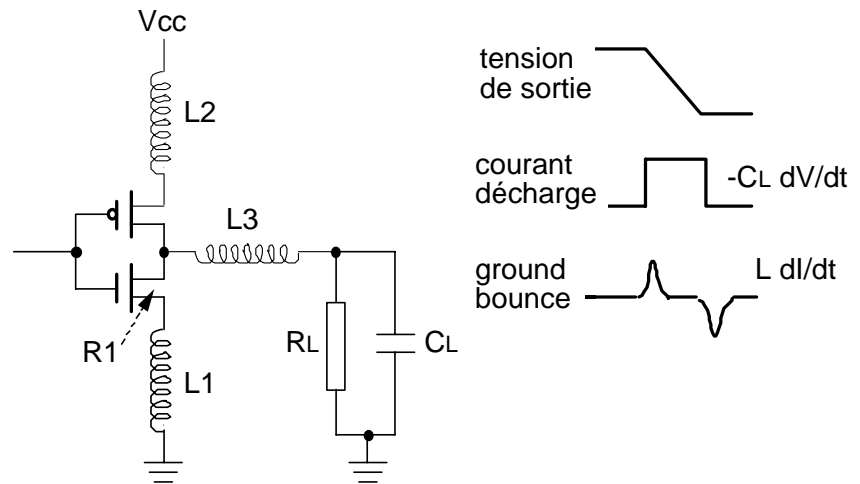
dispositif et circuit	$T_0$	$\tau$ (ns)	MTBF	
			$t_r = 20 \text{ ns}$	$t_r = 40 \text{ ns}$
Texas Instrument 74LSxx	6.7 s	1.28	$t_r < t_{pd}$	2.0
Texas Instrument 74ALSxx	12.5 ms	0.87	$3 \cdot 10^{-1}$	$7 \cdot 10^{10}$
Texas Instrument 74ASxx	6.5 $\mu\text{s}$	0.34	$2 \cdot 10^{18}$	$7 \cdot 10^{43}$
Chaney 74S74	1.0 $\mu\text{s}$	1.70	$5 \cdot 10^{-2}$	$7 \cdot 10^3$
Chaney 74S174	5.0 $\mu\text{s}$	1.20	1.0	$2 \cdot 10^7$
Chaney 74S373	60.0 $\mu\text{s}$	0.91	20	$8 \cdot 10^{10}$
Chaney 74S374	0.4 ms	0.91	4.0	$1 \cdot 10^{10}$
Chaney 74LS74	0.4 s	1.5	$t_r < t_{pd}$	$4 \cdot 10^{-1}$
Chaney 74F74	0.2 ms	0.4	$1 \cdot 10^{13}$	$5 \cdot 10^{34}$
Chaney 74F373	4.0 $\mu\text{s}$	0.7	$3 \cdot 10^5$	$7 \cdot 10^{17}$
Chaney 74F374	0.1 ms	0.4	$2 \cdot 10^{13}$	$1 \cdot 10^{35}$

### □ $\tau$ peut varier de 1 à 4 suivant les fournisseurs et les échantillons



## DISTRIBUTION D'ALIMENTATION

- ❑ pertes resistives
- ❑ pertes inductives (cf. découplage)
- ❑ provoquent des sauts de masse (ground bounce)



## GROUND BOUNCE

- ❑ facteurs d'influence
  - ▼ nombre de sorties qui commutent en même temps
  - ▼ type de charge à la sortie
  - ▼ emplacement de la patte de sortie
  - ▼ tension d'alimentation
- ❑ conséquences
  - ▼ changement de l'état
  - ▼ dégradation du temps de traversée
  - ▼ "undershoot" sur les sorties actives
  - ▼ bruit sur les sorties inactives

## GROUND BOUNCE (2)

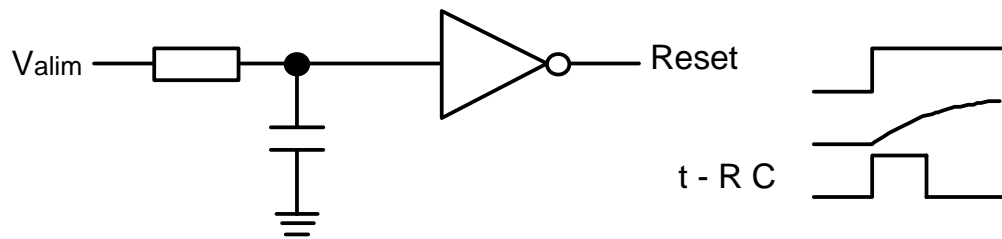
- précautions
  - ▼ circuits multicouches avec plans d'alimentation et de masse
  - ▼ capacité de découplage le plus proche de la patte de masse
  - ▼ éviter les socles et le "wire wrap"
  - ▼ peu de câbles ronds
  - ▼ pour les sorties qui vont sur des entrées sensibles aux parasites (entrées async., reset, clock, ...)
    - prendre les sorties les plus proches de la masse
    - se protéger contre les autres sources de bruit
    - soigner les lignes d'alimentation

## DISTRIBUTION D'HORLOGE

- si les signaux ne sont pas proprement distribués, on assiste à des déphasages (skew)
- si un signal se propage par 2 chemins différents, des parasites se produisent
- précautions
  - ▼ bon équilibrage des temps de propagation
  - ▼ protection contre les interférences et les réflexions
  - ▼ lignes courtes
  - ▼ distribution en étoile depuis le centre

## MISE SOUS TENSION / REMISE A ZERO

- ❑ il est indispensable de soigner le signal de Reset



- ❑ il existe des circuits spéciaux

## PRECAUTIONS DIVERSES

- ❑ entrées non utilisées
  - ▼ forcées dans un état défini
- ❑ diodes décrêtage
  - ▼ servent à limiter les oscillations négatives à l'entrée
- ❑ sorties non utilisées
  - ▼ forcées à l'état haut pour limiter la consommation

## REFERENCES PRINCIPALES

- J. Wakerly, "Digital Design Principles and Practices", Prentice Hall, ISBN 0-13-212838-1
- G. Metzger, J.-P. Vabre, "Pratique de circuits intégrés numériques", Ellipses, Paris, ISBN 2-7298-8827-6
- F. Prosser, D. Winkel, "The Art of Digital Design", Prentice Hall, ISBN 0-13-046780-4
- K. Wagner, "Clock System Design", IEEE Design and Test of Computers, Oct. 88, pp.9-27.
- National Semiconductor, "FACT Advanced CMOS Logic Databook, 1990.
- M. Slater, "Microprocessor-Based Design", Prentice Hall, ISBN 0-13-582248-3
- B. Wilkinson, R. Makki, "Digital System Design", Prentice Hall, New-York.